

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

10838374

Basic Patent (No,Kind,Date): JP 4302147 A2 921026 <No. of Patents: 001>

TFT AND MANUFACTURE THEREOF (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): MATSUMOTO MICHIIICHI; ITO YUTAKA

IPC: *H01L-021/336; H01L-029/784; H01L-021/205

CA Abstract No: 118(22)223923J

Derwent WPI Acc No: C 92-403972

JAPIO Reference No: 170125E000126

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4302147	A2	921026	JP 9166362	A	910329 (BASIC)

Priority Data (No,Kind,Date):

JP 9166362 A 910329

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03937047 **Image available**

TFT AND MANUFACTURE THEREOF

PUB. NO.: **04-302147** [JP 4302147 A]

PUBLISHED: October 26, 1992 (19921026)

INVENTOR(s): MATSUMOTO MICHIICHI

ITO YUTAKA

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 03-066362 [JP 9166362]

FILED: March 29, 1991 (19910329)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1332, Vol. 17, No. 125, Pg. 126,
March 16, 1993 (19930316)

ABSTRACT

PURPOSE: To avoid the pollution by boron contained in the room air during the process of a TFT transistor formation, the pollution being a cause of unstable electric characteristics such as threshold voltage.

CONSTITUTION: An oxide film 9 of a first insulating film is deposited on a quartz substrate by a CVD device and then successively, polySi 2 as a silicon semiconductor film and another oxide film 4 to be a gate oxide film of a second insulating film are also deposited using the same pressure-reduced CVD device. At this time, boron does not adsorb on the interfaces between the oxide film 9 and the polySi 2 and between the polySi 2 and the oxide film 4 by thus successively depositing the oxide film 9, the polySi 2 and the other oxide film 4. Next, after the formation of an element region as a TFT, ion species 3 (e.g. boron) for controlling the threshold value voltage are implanted through the intermediary of the oxide film 4. Later, after the patterning step, another element region is formed. Finally, after the deposition of n+polySi 5 for a gate electrode, the gate electrode and a gate oxide film are formed by etching step.

特開平4-302147

(43)公開日 平成4年(1992)10月26日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/336			
	29/784			
	21/205	7739-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-66362

(22)出願日 平成3年(1991)3月29日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 松元 道一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 伊藤 豊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

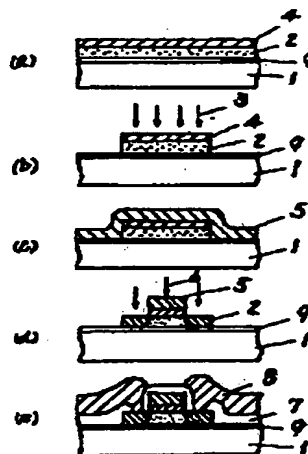
(54)【発明の名称】 TFTとその製造方法

(57)【要約】 (修正有)

【目的】 TFTトランジスタを形成するプロセスにおいて、しきい値電圧等の電気特性を不安定にする大気中からのボロン汚染を防止する。

【構成】 石英基板1上に第1の絶縁膜となる酸化膜9をCVDにより堆積し、連続してシリコン半導体膜であるPolySi2と第2の絶縁膜となるゲート酸化膜用の酸化膜4を同一の減圧CVD装置を用いて堆積する。このように酸化膜9、PolySi2、酸化膜4を連続して堆積することにより、酸化膜9とPolySi2の界面及び、PolySi2と酸化膜4の界面には、ボロンは吸着しない。次に、TFTとしての素子領域を形成した後、しきい値電圧制御用のイオン注入種3(例えばボロン)を酸化膜4を介して注入する。その後パターンニングを行い、素子領域を形成する。ゲート電極用のn+PolySi5を堆積した後、エッチングによりゲート電極およびゲート酸化膜を形成する。

- 1 石英基板
- 2 Poly Si
- 3 しきい値電圧制御用イオン注入種
- 4 酸化膜
- 5 n+poly Si
- 6 ソース・ドレイン用イオン注入種
- 7 層間絶縁膜
- 8 AL電極



【特許請求の範囲】

【請求項1】基板上に形成された第1の絶縁膜と、この第1の絶縁膜上にソース・ドレインが形成されるバルクとなるシリコン半導体膜と、このシリコン半導体膜上に形成されたゲート絶縁膜となる第2の絶縁膜と、この第2の絶縁膜上に形成されたゲート電極とを具備し、前記シリコン半導体膜および第1、第2の絶縁膜は同一の膜形成装置を用いて、連続して堆積されたことを特徴とするTFT。

【請求項2】基板上に形成された第1の絶縁膜と、この第1の絶縁膜上にソース・ドレインが形成されるバルクとなるシリコン半導体膜と、このシリコン半導体膜上に形成されたゲート絶縁膜となる第2の絶縁膜と、この第2の絶縁膜上に形成されたゲート電極とを具備したTFTにおいて、前記シリコン半導体膜および第1、第2の絶縁膜は同一の膜形成装置を用いて、連続して堆積されたことを特徴とするTFTの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、TFT（薄膜トランジスタ）とその製造方法に係わり、特にTFTに使用されている半導体薄膜及び、絶縁膜の製造方法に関するものである。

【0002】

【従来の技術】従来のTFT（薄膜トランジスタ）の一例を図3に示す。通常、PolySiを使用したTFTを製造する場合、図3（a）では、石英基板1上にPolySi2を堆積し、（b）のごとく素子領域を形成する。その後、（c）に示すようにトランジスタのしきい値電圧制御用の不純物3をイオン注入法により注入する。

【0003】次に（d）では、CVD法による酸化膜を堆積するか、PolySiを熱酸化することにより、酸化膜4を形成する。その後、ゲート電極としてのn+PolySi5を堆積する。次に（e）に示すように、酸化膜4およびPolySi5のパターンニングを行いゲート酸化膜およびゲート電極を形成する。その後ソース、ドレインのイオン注入を行なった後、（f）の如く層間絶縁膜7を堆積する。層間絶縁膜7にコンタクトを開孔した後、（g）のようにAl配線8を形成して、TFTを形成していた。

【0004】

【発明が解決しようとする課題】上記のような従来のTFTの形成方法では、図3（a）のPolySi堆積時、あるいは（d）のゲート酸化膜形成時のプロセスの間に、素子を形成している基板は、PolySi堆積用の減圧CVD炉から出す必要があるため大気中に触れることになる。一般的に、上記素子は、パーティクルが非常に少ないクリーンルームで製造されるが、クリーンルームの大気中には、ボロン（B）が存在している。ボロ

ンは、半導体プロセスで多用されている、フッ酸（HF）蒸気と、クリーンルーム中のガラスが反応することから発生していると考えられる。したがって、ノンドープのPolySiを形成しようとしても、PolySi膜と石英基板の界面、あるいは、PolySi膜の最表面にボロンが吸着することになる。したがって、PolySi形成後の熱処理等により、ボロンは、PolySi中に拡散し、TFTのしきい値電圧を不安定にする。

【0005】本発明は、上述の課題に鑑み、TFTトランジスタを形成するプロセスにおいて、しきい値電圧等の電気特性を不安定にする大気中からのボロン汚染を防止するTFTとその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明のTFTは、基板上に形成された第1の絶縁膜と、この第1の絶縁膜上にソース・ドレインが形成されるバルクとなるシリコン半導体膜と、このシリコン半導体膜上に形成されたゲート絶縁膜となる第2の絶縁膜と、この第2の絶縁膜上に形成されたゲート電極とを具備し、前記シリコン半導体膜および第1、第2の絶縁膜は同一の膜形成装置を用いて、連続して堆積されたことを特徴とする。本発明のTFTの製造方法は、基板上に形成された第1の絶縁膜と、この第1の絶縁膜上にソース・ドレインが形成されるバルクとなるシリコン半導体膜と、このシリコン半導体膜上に形成されたゲート絶縁膜となる第2の絶縁膜と、この第2の絶縁膜上に形成されたゲート電極とを具備したTFTにおいて、前記シリコン半導体膜および第1、第2の絶縁膜は同一の膜形成装置を用いて、連続して堆積されたことを特徴とする。

【0007】

【作用】本発明は、シリコン半導体膜と絶縁膜を同一のCVD装置を用いて、連続して堆積することにより、シリコン半導体膜と第1、第2の絶縁膜の界面に不純物としてのボロンの吸着を防ぐことができ、TFTのしきい値電圧を正確に制御できるようになる。

【0008】

【実施例】図1は、本発明の一実施例におけるPolySi堆積後のボロンのSIMS分析結果である。図1（a）は、洗浄を行った後、PolySiを堆積し、その後、ウエハを大気中に開放し、再度PolySiを堆積した例であり、図1（b）は、洗浄を行った後、PolySiを堆積し、その後、ウエハを大気中に開放しないで同一のCVD装置を用いてPolySiを堆積した例である。

【0009】図1からわかるように、PolySiを堆積した後、1度ウエハを大気中に開放すると、ボロンがPolySi最表面に吸着することがわかる。しかしながら、同一の減圧CVD炉で、大気中に開放せず2回に別けてPolySiを堆積すると、ボロンは、吸着し

(3)

(3)

4

ないことがわかる。

【0010】図2は、同実施例におけるTFTの製造方法を示す工程断面図である。以下に、図2を用いて、TFTの製造方法について説明する。

【0011】図2(a)では、石英基板1上に第1の絶縁膜となる酸化膜9をCVDにより堆積し、連続してシリコン半導体膜であるPolySi2と第2の絶縁膜となるゲート酸化膜用の酸化膜4を同一の減圧CVD装置を用いて堆積する。このように酸化膜9、PolySi2、酸化膜4を連続して堆積することにより、酸化膜9とPolySi2の界面及び、PolySi2と酸化膜4の界面には、ボロンは吸着しない。したがって、不純物としてのボロンの吸着無しに、純粋なPolySi2を形成できる。

【0012】次に、(b)に示すようにTFTとしての素子領域を形成した後、しきい値電圧制御用のイオン注入種3(例えばボロン)を酸化膜4を介して注入する。その後パターンニングを行い、素子領域を形成する。

【0013】そして、(c)に示すようにゲート電極用のn+PolySi5を堆積した後、n+PolySi5および酸化膜4をエッチングによりゲート電極およびゲート酸化膜を形成する。(d)に示すようにPolySi2にゲート電極をマスクとしてソース、ドレイン用イオン注入種6(例えば砒素)を注入する。

【0014】最後に、(e)に示すように層間絶縁膜7を堆積し、コンタクトホールを開孔した後、Al配線8を形成してTFTを作製する。

【0015】以上のように本実施例によれば、シリコン半導体膜と絶縁膜を同一のCVD装置を用いて、連続して堆積することにより、大気中からのボロン汚染無しに、安定なTFTを製造できる。

【0016】なお本実施例では、酸化膜9、PolyS

I2、酸化膜4を連続して堆積したが、PolySi膜2を挟む膜としてはシリコン窒化膜等の絶縁膜であればよく、PolySi膜の代わりにアモルファスシリコン等のシリコン半導体膜を用いてもよい。

【0017】また、本実施例では同一のCVD装置を用いて連続して堆積したが、スパッター装置、プラズマCVD装置等の膜形成装置であれば、本実施例と同等の効果を得る。

【0018】

10 【発明の効果】以上説明したように、本発明によれば、シリコン半導体膜と絶縁膜を同一のCVD装置を用いて、連続して堆積することにより、TFT内の、シリコン半導体膜のボロン汚染を防ぐことができる。したがって、TFT等の素子に広く応用できその実用的効果は非常に大きい。

【図面の簡単な説明】

【図1】本発明の一実施例におけるSIMS分析結果を示す特性図である。

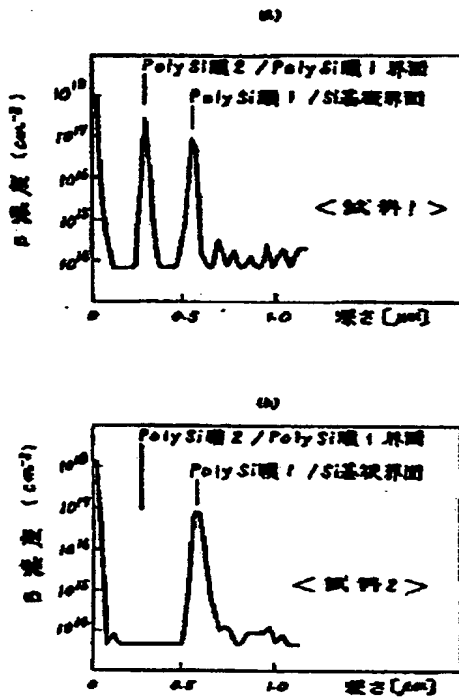
【図2】同実施例におけるTFTの製造方法を示す工程断面図である。

【図3】従来例のTFTの製造方法を示す工程断面図である。

【符号の説明】

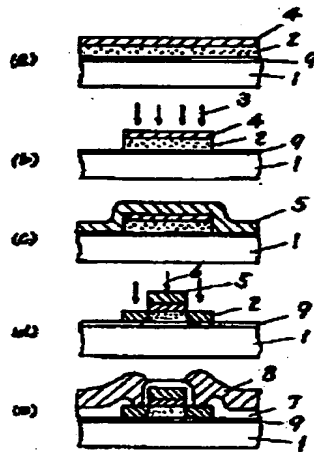
- 1 石英基板
- 2 PolySi
- 3 しきい値電圧制御用イオン注入種
- 4 酸化膜
- 5 n+PolySi
- 6 ソース、ドレイン用イオン注入種
- 7 層間絶縁膜
- 8 Al配線
- 9 CVD酸化膜

【図1】



【図2】

- 1 石英基板
- 2 poly Si
- 3 低電圧制御用イオン注入層
- 4 酸化膜
- 5 n+poly Si
- 6 ソース・ドレイン用イオン注入層
- 7 層間絶縁膜
- 8 AL 電極



【図3】

- 1 石英基板
- 2 poly Si
- 3 低電圧制御用イオン注入層
- 4 酸化膜
- 5 n+poly Si
- 6 ソース・ドレイン用イオン注入層
- 7 層間絶縁膜
- 8 AL 電極

